

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-350461

(P2001-350461A)

(43)公開日 平成13年12月21日 (2001.12.21)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 5/00	5 5 0	C 0 9 G 5/00	5 5 0 P 5 B 0 4 7
G 0 6 F 3/153	3 3 6	C 0 6 F 3/153	3 3 6 B 5 B 0 6 9
5/06	3 1 3	5/06	3 1 3 5 B 0 7 7
13/38	3 1 0	13/38	3 1 0 D 5 C 0 8 2
G 0 6 T 1/60	4 5 0	C 0 6 T 1/60	4 5 0 H

審査請求 未請求 請求項の数11 OL (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-170706(P2000-170706)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成12年6月7日(2000.6.7)

(72)発明者 上田 浩市

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100076428

弁理士 大塚 康徳 (外2名)

Fターム(参考) 5B047 EA01 EB04 EB12

5B069 BC02 LA12

5B077 DD16 MM02

5C082 AA00 AA27 BA12 BB15 BB22

BB25 BB44 CA76 DA54 DA55

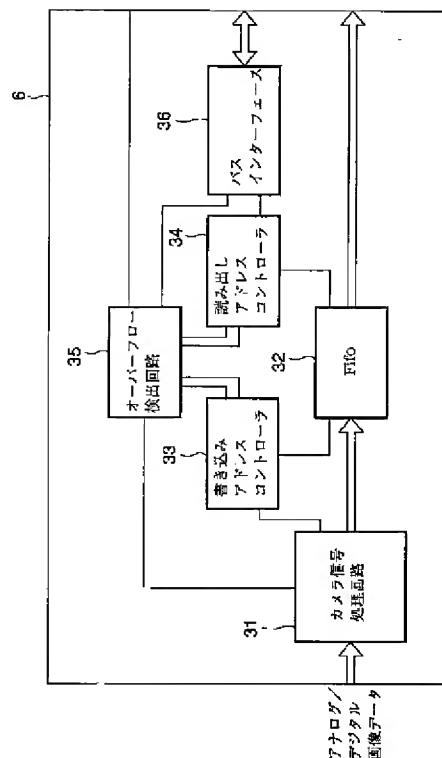
DA64 DA65 EA12 MM04

(54)【発明の名称】 画像処理方法及び装置

(57)【要約】

【課題】バスバンド幅が一時的に不足する状況が発生した場合でも、表示に支障をきたさないようにする画像処理装置および画像処理方法を提供する。

【解決手段】画像取り込み装置6内のオーバーフロー検出回路35に、書き込みアドレスが読み出しアドレスよりも大きくなったことを示す信号をホールドし、この信号を、カメラ信号処理回路31から得られる水平あるいは垂直同期信号によって解除可能な信号を作成する。また、FIFOメモリへの書き込み・読み出しアドレスコントローラ33、34は、ホールドされたオーバーフロー信号によって、FIFOメモリへの書き込み、あるいは読み出し動作を停止、かつ、初期化する。



【特許請求の範囲】

【請求項1】 画像データをメモリに書き込むための第1のアドレスと該メモリより該画像データを読み出すための第2のアドレスを生成するアドレス生成手段と、前記第1及び第2のアドレスにより、前記メモリへの画像データの書込み及び読出を制御して該画像データを取り込む取込手段と、前記第1のアドレスと第2のアドレスの比較結果に基づいて前記メモリがオーバーフロー状態にあるかどうかを判断する判断手段と、前記メモリがオーバーフロー状態にあると判断された場合、前記取込手段による前記画像データの取込を中断する中断手段と、前記画像データの取込に用いられる所定の同期信号に従って、前記取込手段による該画像データの取込処理を再開する再開手段とを備えることを特徴とする画像処理装置。

【請求項2】 前記判断手段により前記メモリがオーバーフロー状態にあると判断された場合、そのオーバーフロー状態を示す所定の状態信号を生成する生成手段を更に備え、

前記中断手段は、前記状態信号により前記アドレス生成手段をリセットするとともに、前記メモリの内容を初期化し、前記取込手段による前記画像データの取込を中断することを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記再開手段は、前記画像データの取込の再開を、前記中断に係る取り込み時の次の水平同期信号を用いて行うことを特徴とする請求項1記載の画像処理装置。

【請求項4】 前記再開手段は、前記画像データの取込の再開を、前記中断に係る取り込み時の次の垂直同期信号を用いて行うことを特徴とする請求項1記載の画像処理装置。

【請求項5】 前記第2のアドレスに従って前記メモリより読み出された画像データを表示出力する表示手段を更に備えることを特徴とする請求項1記載の画像処理装置。

【請求項6】 画像データをメモリに書き込むための第1のアドレスと該メモリより該画像データを読み出すための第2のアドレスを生成するアドレス生成工程と、前記第1及び第2のアドレスにより、前記メモリへの画像データの書込み及び読出を制御して該画像データを取り込む取込工程と、

前記第1のアドレスと第2のアドレスの比較結果に基づいて前記メモリがオーバーフロー状態にあるかどうかを判断する判断工程と、

前記メモリがオーバーフロー状態にあると判断された場合、前記取込工程による前記画像データの取込を中断する中断工程と、前記画像データの取込に用いられる所定の同期信号に従

って、前記取込工程による該画像データの取込処理を再開する再開工程とを備えることを特徴とする画像処理方法。

【請求項7】 前記判断工程により前記メモリがオーバーフロー状態にあると判断された場合、そのオーバーフロー状態を示す所定の状態信号を生成する生成工程を更に備え、

前記中断工程は、前記状態信号により前記アドレス生成工程をリセットするとともに、前記メモリの内容を初期化し、前記取込工程による前記画像データの取込を中断することを特徴とする請求項6に記載の画像処理方法。

【請求項8】 前記再開工程は、前記画像データの取込の再開を、前記中断に係る取り込み時の次の水平同期信号を用いて行うことを特徴とする請求項6記載の画像処理方法。

【請求項9】 前記再開工程は、前記画像データの取込の再開を、前記中断に係る取り込み時の次の垂直同期信号を用いて行うことを特徴とする請求項6記載の画像処理方法。

【請求項10】 前記第2のアドレスに従って前記メモリより読み出された画像データを表示出力する表示工程を更に備えることを特徴とする請求項6記載の画像処理方法。

【請求項11】 請求項6乃至10のいずれかに記載の方法をコンピュータに実行させるための制御プログラムを格納する記憶媒体。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、実時間で動画像を取り込み、かつ、表示を行う機能を有する、例えば、携帯型静止画記録装置等の画像処理装置および画像処理方法に関するものである。

【0002】

【従来の技術】 実時間で動画像を取り込み、表示を行う機能を有する、例えば、携帯型の静止画記録装置が、従来より知られている。図5は、実時間動画像取り込み、表示可能な一般的な静止画記録装置の一例を示す図である。図5において、501は、本装置全体を制御する中央制御装置(CPU)、502は、CPUバス504に接続されたCPUメモリ、503は、記録された静止画データを、例えば、フラッシュカードのような外部記憶素子に記録するための外部デバイスコントローラ、505は、CPUバス504と画像バス510を接続するブリッジ回路である。

【0003】 また、506は、動画像を取り込むための画像取り込み装置、507は、動画像を表示可能な表示装置、508は、画像取り込み装置506で取り込まれた動画像を一時的に記録しておく画像メモリ回路、509は、取り込まれた画像を静止画として圧縮／伸長する圧縮／伸長回路である。

【0004】図6は、画像取り込み装置506のより詳細なブロック図を示す。同図において、131は、図示されていないエリアセンサからのアナログ、あるいはデジタル化された画像データをカメラ信号処理するカメラ信号処理回路、132は、カメラ信号処理回路131でのカメラ信号処理で用いられるクロックレートと、画像バス510で用いられるクロックレートの違いを吸収するためのFifioメモリである。

【0005】133は、外部からのリセット信号によって初期化され、かつ、カメラ信号処理回路131で用いられるクロックレートに基づき、Fifioメモリ132に画像データを書き込むアドレスを発生する書き込みアドレスコントローラ、134は、外部からのリセット信号によって初期化され、かつ、画像データバスのクロックレートに基づき、読み出しアドレスを生成する読み出しアドレスコントローラ、135は、書き込みアドレスと読み出しアドレスの値からバス・インターフェースに対して、画像メモリへのデータ転送要求を発生したり、オーバーフローを検出してオーバーフロー信号を出力するオーバーフロー検出回路であり、具体的には、2つのマグニチュード・コンパレータで構成される。また、136は、オーバーフロー検出回路135からの転送要求に基づき、画像バスに対してバス権要求を行うバス・インターフェースである。

【0006】そこで、従来の実時間動画像取り込み、表示可能な静止画記録装置の動作を説明する。図5の画像取り込み装置506から取り込まれた画像データは、一時的に画像メモリ508に蓄積される。また、画像メモリ508には、オンスクリーン・ディスプレイ用のOSDデータも格納される。

【0007】一方、表示装置507は、画像メモリ508から画像データを読み出し、その表示を行うと同時に、画像メモリ508上に格納されているオンスクリーン・ディスプレイ用のOSDデータを用いて、オーバーレイ表示を行う。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の実時間動画取り込み、および表示可能な静止画記録装置では、データの転送レートを十分に満足するとともに、状況によってOSDデータを書き換える必要から、画像データを転送するためのバスバンド幅については、OSDデータの転送に必要なバンド幅をも満足できるくらい、高く設定する必要がある。

【0009】そのために、バスのクロックレートを高く設定するか、あるいはバスのデータビット幅を広く設定する必要があり、結果として、消費電力の増大、あるいは装置の大型化につながり、静止画記録を基本とする小型携帯機器に、従来の装置をそのまま搭載するには困難を伴う、という問題がある。

【0010】本発明は、上述の課題に鑑みてなされたも

ので、その目的とするところは、バスのデータ転送レートを、動画像の取り込みと表示に必要となる最小のバンド幅に押さえ、かつ、他のデバイスが画像バスにアクセスを行い、バスバンド幅が一時的に不足する状況が発生した場合にも、表示に支障をきたさないようにする画像処理装置および画像処理方法を提供することである。

【0011】

【課題を解決するための手段】上記の目的を達成するための本発明による画像処理装置は、画像データをメモリに書き込むための第1のアドレスと該メモリより該画像データを読み出すための第2のアドレスを生成するアドレス生成手段と、前記第1及び第2のアドレスにより、前記メモリへの画像データの書き込み及び読み出を制御して該画像データを取り込む取込手段と、前記第1のアドレスと第2のアドレスの比較結果に基づいて前記メモリがオーバーフロー状態にあるかどうかを判断する判断手段と、前記メモリがオーバーフロー状態にあると判断された場合、前記取込手段による前記画像データの取込を中断する中断手段と、前記画像データの取込に用いられる所定の同期信号に従って、前記取込手段による該画像データの取込処理を再開する再開手段とを備えることを特徴とする画像処理装置。

【0012】また、上記の目的を達成するための本発明の他の態様による画像処理方法は、画像データをメモリに書き込むための第1のアドレスと該メモリより該画像データを読み出すための第2のアドレスを生成するアドレス生成工程と、前記第1及び第2のアドレスにより、前記メモリへの画像データの書き込み及び読み出を制御して該画像データを取り込む取込工程と、前記第1のアドレスと第2のアドレスの比較結果に基づいて前記メモリがオーバーフロー状態にあるかどうかを判断する判断工程と、前記メモリがオーバーフロー状態にあると判断された場合、前記取込工程による前記画像データの取込を中断する中断工程と、前記画像データの取込に用いられる所定の同期信号に従って、前記取込工程による該画像データの取込処理を再開する再開工程とを備える。

【0013】

【発明の実施の形態】以下、添付図面を参照して、本発明に係る実施の形態を詳細に説明する。図1は、本実施の形態に係る動画像データ転送装置を用いた、動画表示可能な静止画記録装置の概略構成を示すブロック図である。同図において、1は、本装置全体を制御する中央制御装置（以下、CPU）、2は、CPUバス4に接続されたメモリ、3は、記録された静止画データを外部記憶素子（例えば、フラッシュカード等）に記録するための外部デバイスコントローラ、5は、CPUバス4と画像バス10を接続するブリッジ回路である。

【0014】また、6は、動画像を取り込む画像取り込み装置、7は、動画像を表示可能な表示装置、8は、画

像取り込み装置6で取り込まれた動画像を一時的に記録しておく画像メモリ、9は、取り込まれた画像を静止画として圧縮／伸長する圧縮／伸長回路である。

【0015】図7は、このときのメモリ8上における画像データの配置を示しており、画像データは領域122に書き込まれる。なお、図7では、メモリ構成を水平1024、垂直1024画素とし、現在のエリアセンサ出力を、水平640、垂直480画素として図示している。また、図7において、領域121がメモリ全体であり、領域122が、現在、取り込みかつ表示中の画像データが記憶されている表示領域であり、本実施形態では、水平640画素、垂直480画素として示されている。

【0016】さらに、図7の領域123は、表示時に表示スクリーンにオーバーレイ表示されるOSDデータを格納するOSD領域、そして、領域124は、圧縮／伸長回路9が圧縮あるいは伸長処理を行う画像データを格納する圧縮領域である。

【0017】図2は、図1の画像取り込み装置6の内部構成を概略的に示すブロック図である。同図に示す画像取り込み装置6において、31は、図示されていないエリアセンサからのデジタル化された出力、あるいはデジタル化されていないアナログ出力を信号処理するカメラ信号処理回路、32は、カメラ信号処理回路31より出力されるデジタル化されたカメラ信号を、ある程度の信号量にしてから画像バス（画像データバス）10へ出力するための先入れ先出し（FIFO）回路である。

【0018】33は、カメラ信号処理回路31より出力されるデジタル信号に同期して、FIFO32にデータを書き込むための書き込みアドレスを発生する書き込みアドレスコントローラ、34は、画像バス10のバス権が取れたときに、FIFO32から、画像バス10に同期したタイミングでデータを読み出すためのアドレスを生成する読み出しアドレスコントローラである。

【0019】また、35は、書き込みアドレスコントローラ33の書き込みアドレスと、読み出しアドレスコントローラ34の読み出しアドレスとを比較して、書き込みアドレスが読み出しアドレスを追い越す状態（つまり、オーバーフローを起こす状態）が発生しているかどうかを検出するオーバーフロー検出回路である。

【0020】図3は、図2のオーバーフロー検出回路35の具体例を示すブロック図である。同図において、41はRSフリップフロップ、42は引き算回路、43はコンパレータ、45はアドレスが“0”的場合に‘1’を出力するNAND回路である。この検出回路では、図2の書き込みアドレスコントローラ33からの書き込みアドレスWA（複数ビット）と、同じく図2の読み出しアドレスコントローラ34からの読み出しアドレスRA（複数ビット）とに対して、引き算回路42において“WA-RA”の演算を行う。書き込みアドレスWAお

よび読み出しアドレスRAは引き算回路42に入力されると同時にNAND回路45にも入力される。NAND回路45は入力された各々のアドレスが“0”（すべてのビットが0）の場合に、‘1’を出力するように設定されており、WAアドレス用のNAND回路の出力はRSフリップフロップ41のS入力に、RAアドレス用のNAND回路の出力は同じRSフリップフロップのR入力に接続される。これにより、WAアドレスがカウンタの上限を超えて“0”に戻った場合にはRSフリップフロップ出力（CA）が‘1’にセットされ、このRSフリップフロップの出力を引き算回路42のWAアドレスの拡張ビットとして引き算を行わせる（つまり、カウンタの上限値が63である場合には引き算回路にて64+WA-RAを実行することになる）。一方、読み出しアドレスRAがカウンターの上限値を超えて“0”に戻った場合には、先にセットされているRSフリップフロップの出力（CA）は、‘0’にリセットされ通常の引き算（WA-RA）を実行する。

【0021】上記の演算結果は、コンパレータ43で所定値（図3において、 $F_i \times D$ で示す値であり、画像バス10での1回のトランザクション数である）と比較され、WA-RAが、このトランザクション数より大きい場合、コンパレータ43の出力Q、つまり、バストランザクションのリクエスト信号（REQ）が‘1’になる。この信号は、図2のバスインターフェース36に伝達され、バストランザクションを発生すべく、バスインターフェース36が動作を開始する。

【0022】一方、引き算回路42での演算結果が $F_I F_O$ の段数以上になる場合には、本検出回路がオーバーフローを発生しているとして、引き算回路42のBR出力が‘1’となる。その結果、この出力に接続されているRSフリップフロップ41の出力が‘1’となり、この信号（OVR）は、“オーバーフロー”を示す信号として、最終的にはCPUの割り込みコントローラに伝達される。

【0023】これと同時に、オーバーフローを示す信号（OVR）と、外部から供給されるRESET信号（アクティブHIGH）との論理和（OR）をとった信号が、図2の書き込みアドレスコントローラ33と読み出しアドレスコントローラ34のリセット信号（RST）として供給される。

【0024】“オーバーフロー”を示す信号（OVR）は、上述したように、引き算回路42からのBR信号でセットされ、外部からのRESET信号（アクティブHIGH）、および、図2のカメラ信号処理回路31より供給される水平同期信号パルスHD（アクティブHIGH）によってリセットされる。このため、FIFO32のオーバーフローが発生した場合でも、カメラ信号処理回路31からの、次のラインの信号が供給され始める信号“HDパルス”によって、書き込みアドレスコントローラ

ーラ33と読み出しアドレスコントローラ34のリセット信号がリセット（つまり、解除）され、書き込みアドレスコントローラ33も、読み出しアドレスコントローラ34も、新たなラインから通常の転送動作を再開できる。

【0025】図4A、図4Bは、上述した動作を時系列で示すタイミングチャートである。同図において、VCLKは、カメラ信号処理で用いられるビデオクロック、WAは、書き込みアドレスコントローラ33が、Fif032の制御に用いる書き込みアドレス信号、BCLKは、画像バス10で用いられるバスクロック、RAは、Fif032の読み出しアドレスコントローラ34が出力する読み出しアドレス、Diffは、書き込みアドレスから読み出しアドレスを引き算した結果(WA-RA)を示すA-B信号、OVRは、Fif032のオーバーフローを示す信号、HDは、カメラ信号処理回路31から得られる水平同期信号、Validは、カメラ信号処理回路31から得られるデータが有効であることを示す信号、そして、REQは、Fif032に転送可能なだけのデータが蓄積され、バストランザクションの発生をバスインターフェースに対して要求する信号である。

【0026】なお、図4A、図4Bでは、REQ信号を発生するための固定値を8（トランザクションを8ビット動作）、Fif032の段数を64として示してある。

【0027】以下、図4A、図4Bを参照して、Fif032のオーバーフロー時の動作および復帰動作を説明する。ここでは、Fif032には、既に相当量のデータが蓄積されているものとし、図中のタイミングt1で、Fif032のオーバーフローが発生して、OVR信号が‘1’になり、この結果に基づいて、次の有効なクロックで、タイミングt2において読み出しアドレスRAが、また、タイミングt3で書き込みアドレスWAがそれぞれリセットされ、各々が“0”に戻っている。

【0028】以後、OVR信号が‘1’に保持されるため、WAおよびRAは、ともに“0”を維持する。その後、カメラ信号処理回路31から供給されるHD信号が‘1’になることにより、OVR信号は‘0’にリセット（タイミングt4）される。そして、カメラ信号処理回路31から有効な画素データが供給されるに従い、書き込みアドレスWAは、“1”ずつインクリメントされる。

【0029】一方、読み出しアドレスRAは、Fif032に、ある程度のデータが蓄積されるまで転送できなかったため、実際にインクリメントされ始めるのは、上述したアドレスの差信号Diffが、トランザクション数8に達して、バストランザクションの発生をバスインターフェース36に要求するREQ信号が‘1’になるタイミングt5以後のバス権を得てからとなる。

【0030】このように、本実施の形態に係る動画像データ転送装置では、バスのデータ転送レートを、動画像の取り込みと表示に必要とされる最小のバンド幅に押さえ、かつ、その他のデバイスが画像バスにアクセスを行って、バスバンド幅が一時的に不足する状況が発生した場合でも、表示に支障をきたさないようにするために、表示側のバスデータ転送を取り込み側のバス転送よりも強固に設定している。

【0031】同時に、取り込み側でバス転送レートが不足し、メモリに書き込むデータが異常となるような状態が発生した場合には、直ちにデータ転送を中止するとともに、転送用のFif0メモリ内のデータをクリアして、取り込み時の次の同期信号を用いて、動画像の取り込み動作を再開する構成をとっている。

【0032】そのため、画像取り込み装置6内のオーバーフロー検出回路35に、書き込みアドレスが読み出しアドレスよりも大きくなつたことを示す信号をホールドし、このホールドした信号を、カメラ信号処理回路31から得られる水平あるいは垂直同期信号によって解除可能な信号を作成するためのRSフリップフロップ回路を有する。また、Fif0メモリへの書き込み・読み出しアドレスコントローラは、このようにホールドされたオーバーフロー信号によって、Fif0メモリへの書き込み、あるいは読み出し動作を停止、かつ、初期化する機能を有する。

【0033】以上説明したように、本実施の形態によれば、バス権が取れずにFif0がオーバーフローを起こした場合でも、オーバーフロー信号により、画像データのメモリへの転送処理を中止することによって、画像メモリ上のデータは、1つ前の時間的に相関の高いデータが保持されるため、表示に支障をきたすことがないという効果がある。

【0034】換言すれば、バスの転送レートを必要最小限に押さえたままで、一時的にバスの能力が不足する状況が発生した場合でも、動画像の取り込み側でバス権が取れず、Fif0がオーバーフローを起こした瞬間に、一時的に画像取り込み装置がバス要求をしなくなる構成とすることで、バスの能力不足を改善できる。

【0035】また、カメラ信号処理回路より得られる水平同期信号を用いて画像データ転送処理を再起動することで、画像データの転送に失敗した部分を最小にとどめ、Fif0のオーバーフローによって、間違ったデータをメモリに書き込むことも防止できるため、表示装置側で、前回取り込まれた動画データを表示データに用いて、見る者に対して画面上の違和感を最小にできる、という効果もある。

【0036】〔変形例〕 上述した実施の形態では、Fif0のオーバーフローからの復帰に、カメラ信号処理回路からの水平同期信号を用いているが、これに限定されず、例えば、垂直信号を用いて、Fif0のオーバーフ

ローからの復帰を行ってもよい。この場合、カメラ信号処理回路および表示回路以外の画像データバスに接続されたデバイスがある程度のデータ転送期間を必要とするバスアクセス（例えば、OSDデータの書き換え）を行う場合には、1垂直期間にわたって、カメラ信号処理回路からのバスアクセスを制限できる。

【0037】そのため、カメラ信号処理回路および表示回路以外の画像データバスに接続されたデバイスの転送処理を早く終了することができ、結果的に、表示に与える違和感が少なくなる。なお、この場合の装置構成は、上記実施の形態で説明した水平同期信号HDを垂直同期信号VDと置き換えることにより、簡単に実現できる。

【0038】

【他の実施形態】なお、本発明は、複数の機器（例えば、ホストコンピュータ、インターフェース機器、リーダ、プリンタなど）から構成されるシステムに適用しても、1つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0039】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体（または、記録媒体）を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が、記憶媒体に格納されたプログラムコードを読み出し、実行することによっても達成されることは言うまでもない。

【0040】この場合、記憶媒体から読み出されたプログラムコード自体が、前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は、本発明を構成することになる。プログラムコードを供給するための記憶媒体としては、例えば、フロッピディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性メモリカード、ROMなどを用いることができる。

【0041】また、コンピュータが読み出したプログラムコードを実行することによって、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているオペレーティングシステム（OS）などが、実際の処理の一部または全部を行い、その処理によって、前述した実施形態の機能が実現される場合も含まれることは言うまでもな

い。

【0042】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって、前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0043】

【発明の効果】以上説明したように、本発明によれば、バス権が取れずにメモリ装置がオーバーフローを起こして、一時的にバスの能力が不足する状況が発生した場合でも、オーバーフロー信号により画像データのメモリ装置への転送処理を中止することにより、メモリ装置上のデータは、1つ前の時間的に相関の高いデータが保持されるため、表示に支障をきたすことがない。

【0044】また、本発明によれば、データの取り込み装置より得られる水平同期信号あるいは垂直同期信号を用いて画像データ転送処理を再起動することで、画像データの転送に失敗した部分を最小にとどめて、表示画面上での違和感を最小に抑えることができる。

【図面の簡単な説明】

【図1】本実施の形態に係る動画像データ転送装置を用いた、動画表示可能な静止画記録装置の概略構成を示すブロック図である。

【図2】実施の形態に係る画像取り込み装置の内部構成を概略的に示すブロック図である。

【図3】実施の形態に係るオーバーフロー検出回路の具体例を示すブロック図である。

【図4 A】オーバーフロー検出回路の動作を時系列で示すタイミングチャートである。

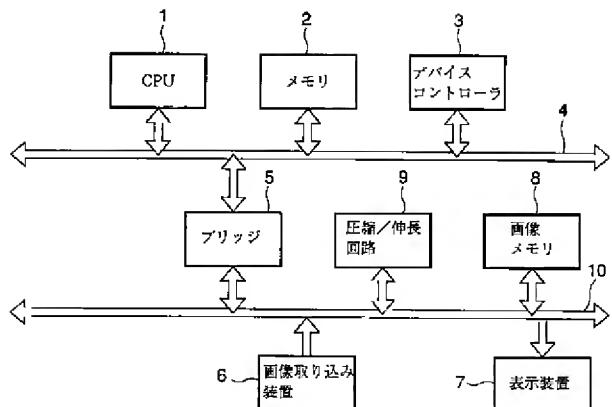
【図4 B】オーバーフロー検出回路の動作を時系列で示すタイミングチャートである。

【図5】従来の静止画記録装置の一例を示すブロック図である。

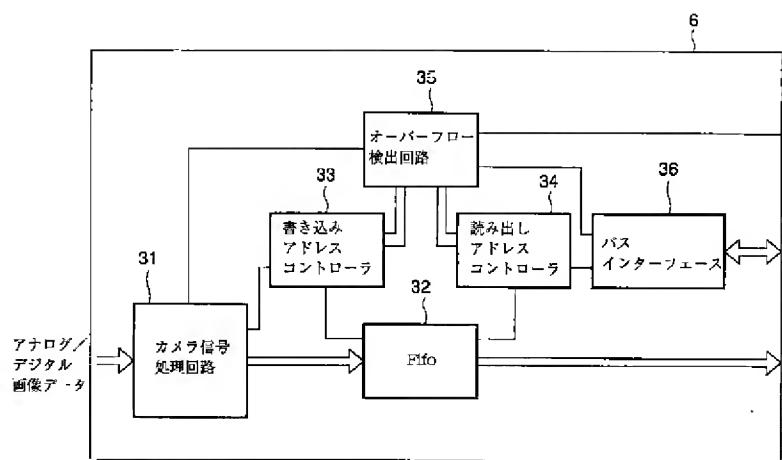
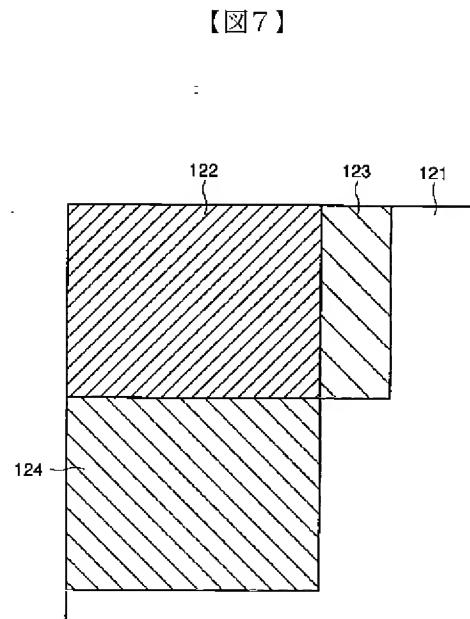
【図6】従来の画像取り込み装置の詳細なブロック図である。

【図7】メモリ上における画像データの配置を示す図である。

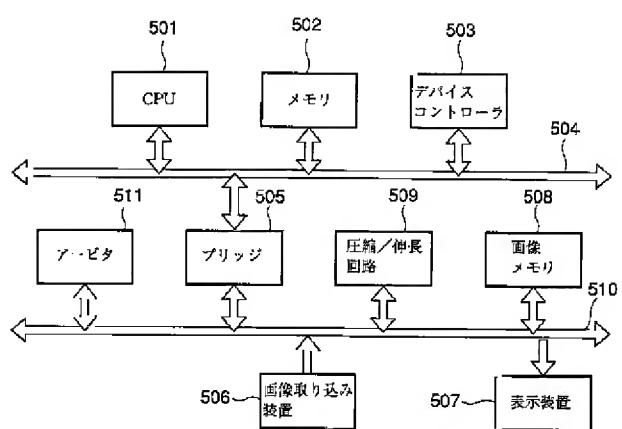
【図1】



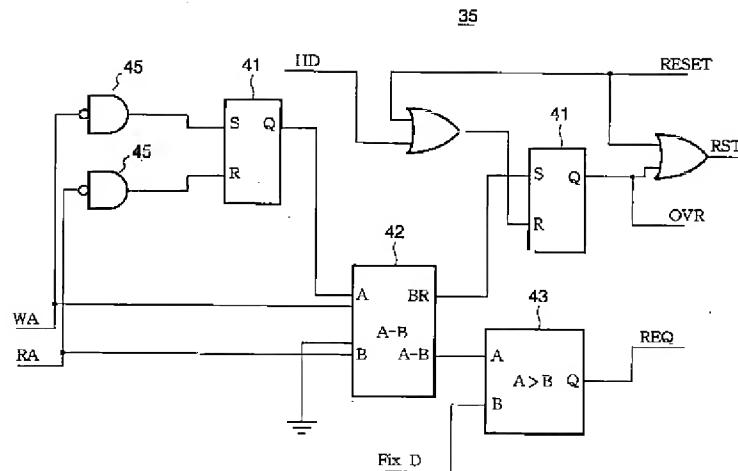
【図2】



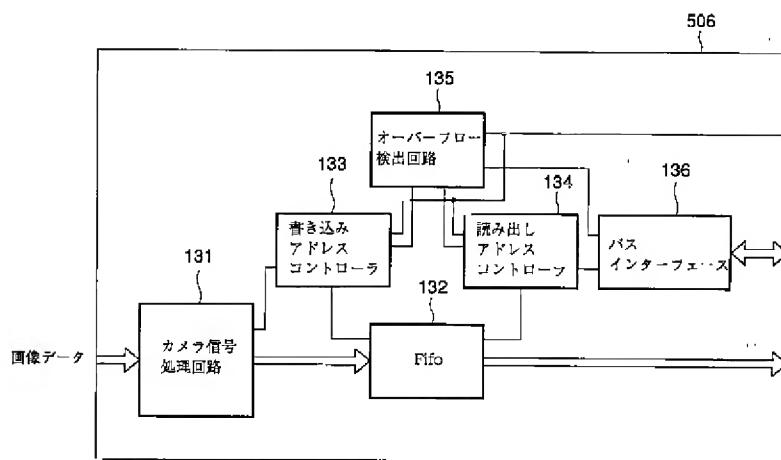
【図5】



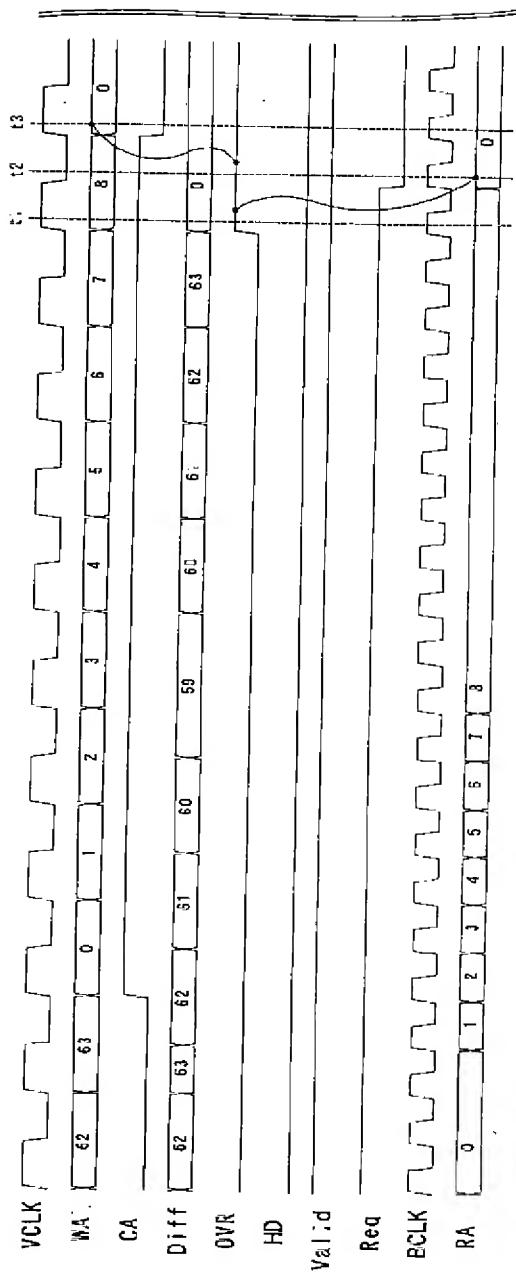
【図3】



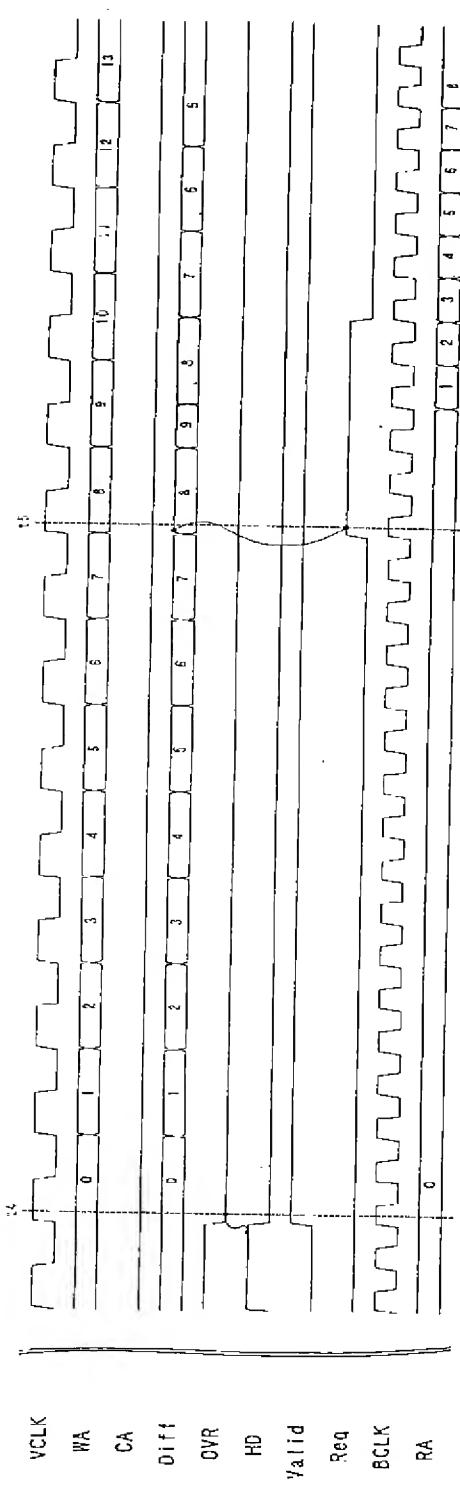
【図6】



【図4 A】



【図4 B】



フロントページの続き

(51) Int. Cl. 7

G 0 6 T 1/60
G 0 9 G 5/36

識別記号

4 5 0
5 1 0

F I

G 0 6 T 1/60
G 0 9 G 5/36

(参考)

4 5 0 G
5 1 0 M

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-350461

(43)Date of publication of application : 21.12.2001

(51)Int.Cl. G09G 5/00

G06F 3/153

G06F 5/06

G06F 13/38

G06T 1/60

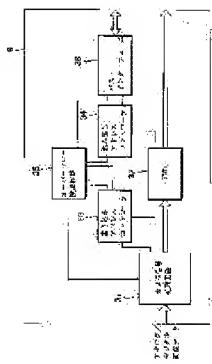
G09G 5/36

(21)Application number : 2000- (71)Applicant : CANON INC

170706

(22)Date of filing : 07.06.2000 (72)Inventor : UEDA KOICHI

(54) PICTURE PROCESSING METHOD AND PICTURE PROCESSOR



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a picture processor bringing no hindrance to displaying even when a bus bandwidth temporarily runs short, and a method therefor.

SOLUTION: The picture processor holds a signal, which indicates that a write address has become larger than a read address, in an overflow detecting circuit 35 in a picture fetching device 6, and creates a signal that can be released by a horizontal or vertical synchronizing signal obtained from a camera signal processing circuit 31. Moreover, write and read controllers 33, 34 for FiFo memory stop read or write operation to the FiFo memory and also initialize the memory by the held overflow signal.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] With an address-generation means to generate the 2nd address for reading this image data from the 1st address and this memory for writing image data in memory, and said 1st and 2nd addresses A taking-in means to control writing and read-out of image data in said memory, and to incorporate this image data, A decision means to judge whether said memory is in an overflow condition based on the comparison result of said 1st address and 2nd address, An interruption means to interrupt taking in of said image data based on the aforementioned taking-in means when said memory is judged to be in an overflow condition, The image processing system characterized by having a restart means to resume taking-in processing of this image data based on the aforementioned taking-in means, according to the predetermined synchronizing signal used for taking in of said image data.

[Claim 2] It is the image processing system according to claim 1 characterized by

to have further a generation means generate the predetermined condition signal which shows the overflow condition when it is judged that said memory is in an overflow condition with said decision means, for said interruption means to initialize the content of said memory while resetting said address-generation means with said condition signal, and to interrupt taking in of said image data based on the aforementioned taking-in means.

[Claim 3] Said restart means is an image processing system according to claim 1 characterized by performing the restart of taking in of said image data using the next Horizontal Synchronizing signal at the time of the incorporation concerning said interruption.

[Claim 4] Said restart means is an image processing system according to claim 1 characterized by performing the restart of taking in of said image data using the next Vertical Synchronizing signal at the time of the incorporation concerning said interruption.

[Claim 5] The image processing system according to claim 1 characterized by having further the display means which carries out the display output of the image data by which reading appearance was carried out from said memory according to said 2nd address.

[Claim 6] With the address-generation process which generates the 2nd address for reading this image data from the 1st address and this memory for writing image data in memory, and said 1st and 2nd addresses The taking-in process which controls writing and read-out of image data in said memory, and incorporates this image data, The decision process which judges whether said memory is in an overflow condition based on the comparison result of said 1st address and 2nd address, The interruption process which interrupts taking in of said image data based on the aforementioned taking-in process when said memory is judged to be in an overflow condition, The image-processing approach characterized by having the restart process which resumes taking-in processing of this image data based on the aforementioned taking-in process according to the predetermined synchronizing signal used for taking in of said

image data.

[Claim 7] It is the image-processing approach according to claim 6 characterized by to have further the generation process which generates the predetermined condition signal which shows the overflow condition when it is judged that said memory is in an overflow condition according to said decision process, for said interruption process to initialize the content of said memory while resetting said address-generation process with said condition signal, and to interrupt taking in of said image data based on the aforementioned taking-in process.

[Claim 8] Said restart process is the image-processing approach according to claim 6 characterized by performing the restart of taking in of said image data using the next Horizontal Synchronizing signal at the time of the incorporation concerning said interruption.

[Claim 9] Said restart process is the image-processing approach according to claim 6 characterized by performing the restart of taking in of said image data using the next Vertical Synchronizing signal at the time of the incorporation concerning said interruption.

[Claim 10] The image-processing approach according to claim 6 characterized by having further the display process which carries out the display output of the image data by which reading appearance was carried out from said memory according to said 2nd address.

[Claim 11] The storage which stores the control program for making a computer perform an approach according to claim 6 to 10.

[Translation done.]

* NOTICES *

**JPO and NCIPI are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention has the function which incorporates a dynamic image in the real time, and displays, for example, relates to an image processing system and the image-processing approaches, such as a pocket mold still picture recording device.

[0002]

[Description of the Prior Art] A dynamic image is incorporated, it has the function which displays, for example, the still picture recording device of a pocket mold is conventionally known for the real time. Drawing 5 is drawing showing an example of the common still picture recording device in which real-time dynamic-image incorporation and a display are possible. In drawing 5 , an external device controller for the CPU memory by which the central control unit (CPU) with which 501 controls this whole equipment, and 502 were connected to the CPU bus 504, and 503 to record the recorded still picture data on an external storage element like a flash card, and 505 are bridge circuits which connect the CPU bus 504 and the image bus 510.

[0003] Moreover, the image memory circuit which records temporarily the dynamic image with which the display with which image incorporation equipment for 506 to incorporate a dynamic image and 507 can display a dynamic image, and 508 were incorporated with image incorporation equipment 506, and 509 use the captured image as a still picture, and are compression / compression/expanding circuit to elongate.

[0004] Drawing 6 shows the more detailed block diagram of image incorporation equipment 506. In this drawing, the analog from the area sensor by which 131 is

not illustrated or the camera digital disposal circuit which carries out camera signal processing of the digitized image data, and 132 are the Fifo memory for absorbing the difference between the clock rate used by camera signal processing in the camera digital disposal circuit 131, and the clock rate used by image bus 510.

[0005] It is based on the clock rate which 133 is initialized by the reset signal from the outside, and is used by the camera digital disposal circuit 131. The write-in address controller which generates the address which writes image data in the Fifo memory 132, and 134 The read-out address controller which is initialized by the reset signal from the outside and generates the read-out address based on the clock rate of an image data bus, and 135 Read with the write-in address and a bus interface is received from the value of the address. The data transfer demand to an image memory is generated, or it is the overflow detector which detects overflow and outputs an overflow signal, and, specifically, consists of two magnitude comparators. Moreover, 136 is a bus interface which performs the right demand of a bus to an image bus based on the transfer request from the overflow detector 135.

[0006] Then, actuation of the still picture recording device in which the conventional real-time dynamic-image incorporation and a display are possible is explained. The image data incorporated from the image incorporation equipment 506 of drawing 5 is temporarily accumulated in the image memory 508. Moreover, the OSD data for an onscreen display are also stored in an image memory 508.

[0007] On the other hand, an indicating equipment 507 performs a screen overlay using the OSD data for an onscreen display stored on the image memory 508 at the same time it reads image data from an image memory 508 and performs the display.

[0008]

[Problem(s) to be Solved by the Invention] However, it is necessary to set up highly to the extent that it can be satisfied with it of a bandwidth required for an OSD data transfer about the pass band width of face for transmitting image data

from the need of rewriting OSD data according to a situation, while it is fully satisfied with the still picture recording apparatus in which the above-mentioned conventional real-time animation incorporation and a display are possible of a data transfer rate.

[0009] Therefore, it is necessary to set up the clock rate of a bus highly or to set up the data bit width of face of a bus widely, and as a result, it leads to buildup of power consumption, or enlargement of equipment, and the problem of following difficulty on carrying conventional equipment as it is in the small pocket device based on still picture record.

[0010] The place which this invention was made in view of the above-mentioned technical problem, and is made into the object is offering the image processing system and the image-processing approach it is made not to cause trouble to a display, also when the situation that a presser foot and other devices access incorporation of a dynamic image and the minimum bandwidth which is needed for a display into an image bus, and pass band width of face runs short temporarily generates the data transfer rate of a bus.

[0011]

[Means for Solving the Problem] The image processing system by this invention for attaining the above-mentioned object With an address-generation means to generate the 2nd address for reading this image data from the 1st address and this memory for writing image data in memory, and said 1st and 2nd addresses A taking-in means to control writing and read-out of image data in said memory, and to incorporate this image data, A decision means to judge whether said memory is in an overflow condition based on the comparison result of said 1st address and 2nd address, An interruption means to interrupt taking in of said image data based on the aforementioned taking-in means when said memory is judged to be in an overflow condition, The image processing system characterized by having a restart means to resume taking-in processing of this image data based on the aforementioned taking-in means, according to the predetermined synchronizing signal used for taking in of said image data.

[0012] Moreover, the image-processing approach by other modes of this invention for attaining the above-mentioned object With the address-generation process which generates the 2nd address for reading this image data from the 1st address and this memory for writing image data in memory, and said 1st and 2nd addresses The taking-in process which controls writing and read-out of image data in said memory, and incorporates this image data, The decision process which judges whether said memory is in an overflow condition based on the comparison result of said 1st address and 2nd address, When said memory is judged to be in an overflow condition, according to the predetermined synchronizing signal used for the interruption process which interrupts taking in of said image data based on the aforementioned taking-in process, and taking in of said image data, it has the restart process which resumes taking-in processing of this image data based on the aforementioned taking-in process.

[0013]

[Embodiment of the Invention] Hereafter, the gestalt of operation concerning this invention is explained to a detail with reference to an accompanying drawing. Drawing 1 is the block diagram using the dynamic-image data transfer unit concerning the gestalt of this operation showing the outline configuration of the still picture recording apparatus whose animation can be displayed. In this drawing, an external device controller for the memory by which the central control unit (the following, CPU) with which 1 controls this whole equipment, and 2 were connected to the CPU bus 4, and 3 to record the recorded still picture data on external storage elements (for example, flash card etc.), and 5 are bridge circuits which connect the CPU bus 4 and the image bus 10.

[0014] Moreover, the image memory which records temporarily the dynamic image with which the display with which the image incorporation equipment with which 6 incorporates a dynamic image, and 7 can display a dynamic image, and 8 were incorporated with image incorporation equipment 6, and 9 use the captured image as a still picture, and are compression / compression/expanding circuit to elongate.

[0015] Drawing 7 shows arrangement of the image data on the memory 8 at this time, and image data is written in a field 122. in addition, level [in a memory configuration] in drawing 7 -- 1024 -- vertical -- it considers as 1024 pixels and level in the present area sensor output -- 640 -- vertical -- it has illustrated as 480 pixels. moreover, it is the viewing area with which a field 121 is the whole memory, a field 122 is in confusion now, and image data on display is remembered to be, and level [with this operation gestalt] in drawing 7 , -- 640 pixels is vertical -- it is shown as 480 pixels.

[0016] Furthermore, the OSD field which stores the OSD data with which the screen overlay of the field 123 of drawing 7 is carried out to a display screen at the time of a display, and a field 124 are compression fields which store the image data to which compression/expanding circuit 9 performs compression or expanding processing.

[0017] Drawing 2 is the block diagram showing roughly the internal configuration of the image incorporation equipment 6 of drawing 1 . In the image incorporation equipment 6 shown in this drawing, the camera digital disposal circuit which carries out signal processing of the analog output which was digitized from the area sensor by which 31 is not illustrated, and which is not outputted or digitized, and 32 are the FIFO (Fifo) circuits for outputting it to the image bus (image data bus) 10, after making the digitized camera signal which is outputted from the camera digital disposal circuit 31 into a certain amount of amount of signals.

[0018] The write-in address controller which generates the write-in address for 33 to write data in Fifo32 synchronizing with the digital signal outputted from the camera digital disposal circuit 31, and 34 are read-out address controllers which generate the address for reading data from Fifo32 to the timing which synchronized with the image bus 10, when the right of a bus of the image bus 10 is able to be taken.

[0019] moreover, 35 is an overflow detector which detects whether the condition (that is, condition of causing overflow) of carrying out reading appearance to the write-in address of the write-in address controller 33, and the address controller

34 carrying out reading appearance to it, comparing the address with it, and the write-in address carrying out reading appearance, and passing the address has occurred.

[0020] Drawing 3 is the block diagram showing the example of the overflow detector 35 of drawing 2 . In this drawing, 41 is a NAND circuit where an RS flip flop and 42 output '1' when the address of a comparator and 45 is "0" as for a subtraction circuit and 43. In this detector, "WA-RA" is calculated in the subtraction circuit 42 to the read-out address RA from the read-out address controller 34 of drawing 2 (two or more bits) as well as the write-in address WA (two or more bits) from the write-in address controller 33 of drawing 2 . The write-in address WA and the read-out address RA are inputted also into NAND circuit 45 at the same time they are inputted into the subtraction circuit 42. NAND circuit 45 is set up so that '1' may be outputted, when each inputted address is "0" (all bits are 0), and the output of the NAND circuit for WA addresses is connected to S input of RS flip flop 41 at R input of the RS flip flop with the same output of the NAND circuit for RA addresses. By this, when WA address returns to "0" exceeding the upper limit of a counter, an RS flip flop output (CA) is set to '1', and it is made to subtract considering the output of this RS flip flop as an extension bit of WA address of the subtraction circuit 42 (that is, when the upper limit of a counter is 63, $64+WA-RA$ will be performed in the subtraction circuit). On the other hand, when the read-out address RA returns to "0" exceeding the upper limit of a counter, the output (CA) of the RS flip flop set previously is reset by '0', and performs the usual subtraction (WA-RA).

[0021] The above-mentioned result of an operation is compared with a predetermined value (in drawing 3 , it is the value shown by FixD and is 1 time of the number of transactions in the image bus 10) by the comparator 43, and when WA-RA is larger than this number of transactions, the output Q of a comparator 43, i.e., the request signal of a bus transaction, (REQ) is set to '1'. This signal is transmitted to the bus interface 36 of drawing 2 , and a bus interface 36 starts actuation that a bus transaction should be generated.

[0022] On the other hand, BR output of the subtraction circuit 42 is set to '1' noting that this detector has generated overflow, when the result of an operation in the subtraction circuit 42 becomes more than the number of stages of FIFO. Consequently, the output of RS flip flop 41 connected to this output is set to '1', and this signal (OVR) is eventually transmitted to the interruption controller of CPU as a signal which shows "overflow."

[0023] the signal which took the OR (OR) of this simultaneously the signal (OVR) which shows overflow, and the RESET signal (active High) supplied from the outside carries out reading appearance to the write-in address controller 33 of drawing 2 , and is supplied as a reset signal (RST) of the address controller 34.

[0024] As mentioned above, the signal (OVR) which shows "overflow" is set by BR signal from the subtraction circuit 42, and is reset by the Horizontal Synchronizing signal pulse HD (active High) supplied from the RESET signal (active High) from the outside, and the camera digital disposal circuit 31 of drawing 2 . for this reason, even when overflow of Fifo32 occurs, with the signal "HD pulse" by which the signal of the next line from the camera digital disposal circuit 31 begins to be supplied, reading appearance is carried out to the write-in address controller 33, the reset signal of the address controller 34 is reset (that is, discharge), reading appearance also of the write-in address controller 33 is carried out, and the address controller 34 can also resume the usual transfer operation from a new line.

[0025] Drawing 4 A and drawing 4 B are timing charts which show the actuation mentioned above according to time series. In this drawing, the video clock with which VCLK is used by camera signal processing, and WA The write-in address controller 33 the write-in address signal and BCLK which are used for control of Fifo32 The bus clock and RA which are used by image bus 10 The read-out address and Diff which the read-out address controller 34 of Fifo32 outputs The A-B signal which shows the result (WA-RA) of having read from the write-in address and having subtracted the address, and OVR The signal and HD which show overflow of Fifo32 The Horizontal Synchronizing signal and Valid which are

obtained from the camera digital disposal circuit 31. The signal which shows that the data obtained from the camera digital disposal circuit 31 are effective, and REQ are signals which only the data which can be transmitted to Fifo32 are stored and require generating of a bus transaction from a bus interface.

[0026] In addition, drawing 4 A and drawing 4 B have shown the number of stages of 8 (a transaction is operated 8 beat) and Fifo32 for the fixed value for generating a REQ signal as 64.

[0027] Hereafter, with reference to drawing 4 A and drawing 4 B, the actuation and return actuation at the time of overflow of Fifo32 are explained. It read [in / based on this result / here, the data of a considerable amount shall already be stored in Fifo32, overflow of Fifo32 occurs to the timing t1 in drawing, and an OVR signal is set to '1', and / timing t2] with the clock effective [of a degree], Address RA wrote in to timing t3 again, Address WA was reset, respectively, and each has returned to "0."

[0028] Henceforth, since an OVR signal is held '1', both WA and RA maintain "0." Then, an OVR signal is reset by '0' when HD signal supplied from the camera digital disposal circuit 31 is set to '1' (timing t4). And "1" every increment of the write-in address WA is carried out as effective pixel data are supplied from the camera digital disposal circuit 31.

[0029] Since the read-out address RA cannot be transmitted until a certain amount of [on the other hand] data to Fifo32 are stored, it becomes since that an increment begins to be carried out actually acquires the right of a bus after timing t5 from which the REQ signal which the difference signal Diff of the address mentioned above reaches eight transactions, and requires generating of a bus transaction of a bus interface 36 is set to '1'.

[0030] Thus, in the dynamic-image data transfer unit concerning the gestalt of this operation, even when the situation that a presser foot and other devices access incorporation of a dynamic image and the minimum bandwidth for which it is needed at a display into an image bus, and pass band width of face runs short temporarily generates the data transfer rate of a bus, in order to make it not

cause trouble to a display, the bus data transfer by the side of a display is set up more firmly than the bus transfer by the side of incorporation.

[0031] Simultaneously, it is an incorporation side and bus transfer rates ran short, when the condition that the data written in memory become unusual occurs, while stopping data transfer promptly, the data in the Fifo memory for a transfer were cleared, and the configuration which resumes incorporation actuation of a dynamic image is taken using the next synchronizing signal at the time of incorporation.

[0032] Therefore, the signal which shows that the write-in address read to the overflow detector 35 in image incorporation equipment 6, and it became larger than the address is held, and it has RS flip-flop circuit for creating the signal which can be canceled with the horizontal or Vertical Synchronizing signal which can acquire this held signal from the camera digital disposal circuit 31. Moreover, the writing and read-out address controller to FiFo memory have a halt and the function to initialize for the writing to FiFo memory, or read-out actuation with the overflow signal held in this way.

[0033] As explained above, even when Fifo causes overflow according to the gestalt of this operation, without the ability taking the right of a bus, since mutually related high data are held in time in front of one by stopping the transfer processing to the memory of image data with an overflow signal, the data on an image memory are effective in not causing trouble to a display.

[0034] Even when putting in another way and the situation that the capacity of a bus is temporarily insufficient occurs, pressing down the transfer rate of a bus to necessary minimum, it is a dynamic image incorporation-side, and the right of a bus cannot be taken, but the deficiency in performance of a bus can be improved by considering as the configuration whose image incorporation equipment will not give a bus demand to the flash when Fifo caused overflow temporarily.

[0035] Moreover, it is effective in minimizing the part which failed in the image data transfer by rebooting image data transfer processing using the Horizontal Synchronizing signal acquired from a camera digital disposal circuit, and the

sense of incongruity on a screen being made to min in an indicating-equipment side to those who use for an indicative data the video data incorporated last time, and see, since writing in memory can also prevent the data in which it made a mistake by overflow of Fifo.

[0036] With the gestalt of the operation which carried out [modification] ****, although the Horizontal Synchronizing signal from a camera digital disposal circuit is used for the return from overflow of Fifo, it is not limited to this, for example, the return from overflow of Fifo may be performed using a vertical signal. In this case, when performing bus access (for example, rewriting of OSD data) for which the device connected to image data buses other than a camera digital disposal circuit and a display circuit needs a certain amount of data transfer period, the bus access from a camera digital disposal circuit can be restricted over 1 vertical period.

[0037] Therefore, transfer processing of the device connected to image data buses other than a camera digital disposal circuit and a display circuit can be ended early, and the sense of incongruity given to a display decreases as a result. In addition, the equipment configuration in this case is easily realizable by replacing with Vertical Synchronizing signal VD Horizontal Synchronizing signal HD explained with the gestalt of the above-mentioned implementation.

[0038]

[Other operation gestalten] In addition, even if it applies this invention to the system which consists of two or more devices (for example, a host computer, an interface device, a reader, a printer, etc.), it may be applied to the equipments (for example, a copying machine, facsimile apparatus, etc.) which consist of one device.

[0039] Moreover, it cannot be overemphasized that the object of this invention supplies the storage (or record medium) which recorded the program code of the software which realizes the function of the operation gestalt mentioned above to a system or equipment, the computer (or CPU and MPU) of the system or equipment reads the program code stored in the storage, and it is attained also

by performing.

[0040] In this case, the storage with which the program code itself by which reading appearance was carried out from the storage will realize the function of the operation gestalt mentioned above, and it memorized that program code will constitute this invention. As a storage for supplying a program code, a floppy disk, a hard disk, an optical disk, a magneto-optic disk, CD-ROM, CD-R, a magnetic tape, the memory card of a non-volatile, ROM, etc. can be used, for example.

[0041] Moreover, it cannot be overemphasized that it is contained also when the function of the operation gestalt which the operating system (OS) which is working on a computer performed a part or all of actual processing, and the function of the operation gestalt mentioned above by performing the program code which the computer read is not only realized, but it mentioned above by the processing based on directions of the program code is realized.

[0042] Furthermore, after the program code by which reading appearance was carried out from a storage is written in the memory with which the functional expansion unit connected to the functional add-in board inserted in a computer or a computer is equipped, it is needless to say in being contained also when the function of the operation gestalt which performed a part or all of processing that the CPU with which the functional add-in board and functional expansion unit are equipped based on directions of the program code is actual, and mentioned above by the processing is realized.

[0043]

[Effect of the Invention] As explained above, since mutually related high data are held in time in front of one by a memory apparatus's causing overflow, without the ability taking the right of a bus, and stopping the transfer processing to the memory apparatus of image data with an overflow signal even when the situation that the capacity of a bus is temporarily insufficient occurs, according to this invention, the data on a memory apparatus do not cause trouble to a display.

[0044] Moreover, according to this invention, by rebooting image data transfer processing using the Horizontal Synchronizing signal or Vertical Synchronizing

signal acquired from the incorporation equipment of data, the part which failed in the image data transfer can be minimized, and the sense of incongruity on the display screen can be held down to min.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram using the dynamic-image data transfer unit concerning the gestalt of this operation showing the outline configuration of the still picture recording apparatus whose animation can be displayed.

[Drawing 2] It is the block diagram showing roughly the internal configuration of the image incorporation equipment concerning the gestalt of operation.

[Drawing 3] It is the block diagram showing the example of the overflow detector concerning the gestalt of operation.

[Drawing 4 A] It is the timing chart which shows actuation of an overflow detector according to time series.

[Drawing 4 B] It is the timing chart which shows actuation of an overflow detector according to time series.

[Drawing 5] It is the block diagram showing an example of the conventional still

picture recording apparatus.

[Drawing 6] It is the detailed block diagram of conventional image incorporation equipment.

[Drawing 7] It is drawing showing arrangement of the image data on memory.

[Translation done.]

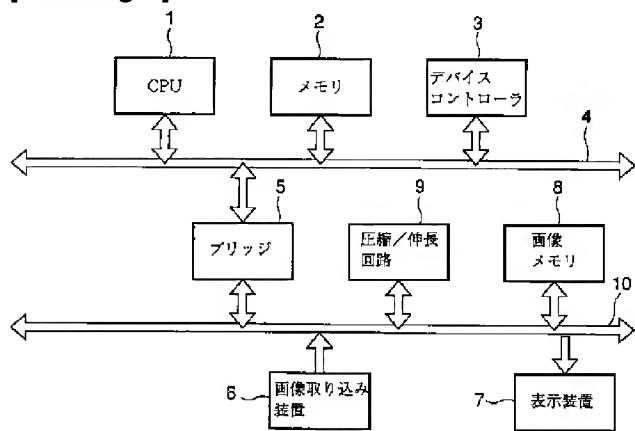
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

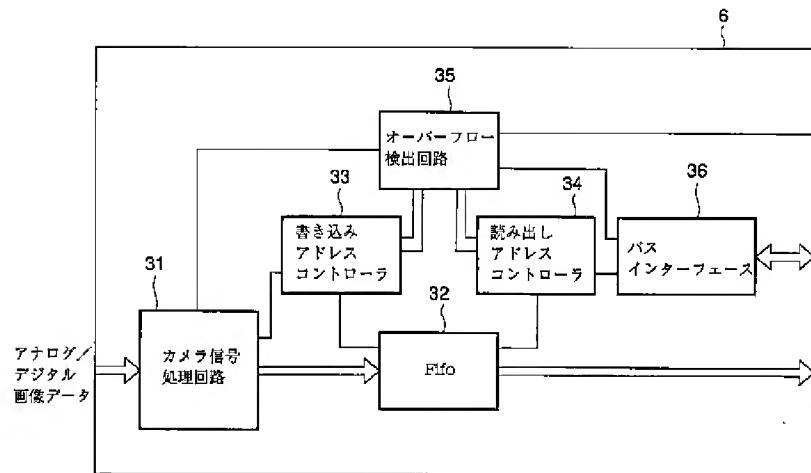
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

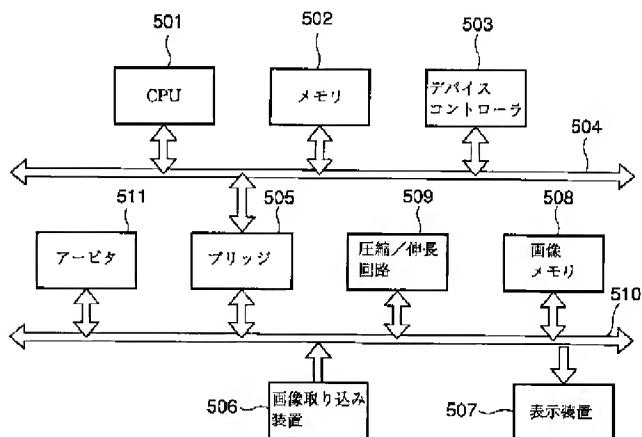
[Drawing 1]



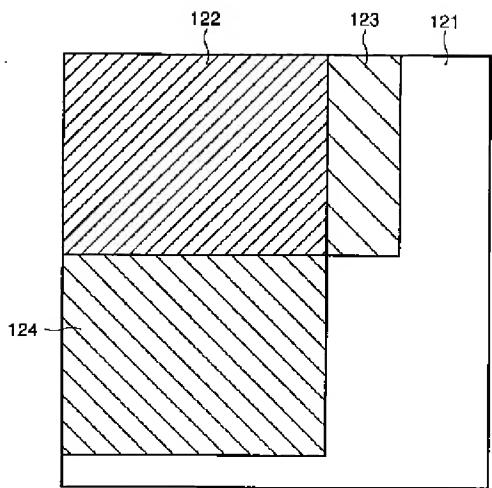
[Drawing 2]



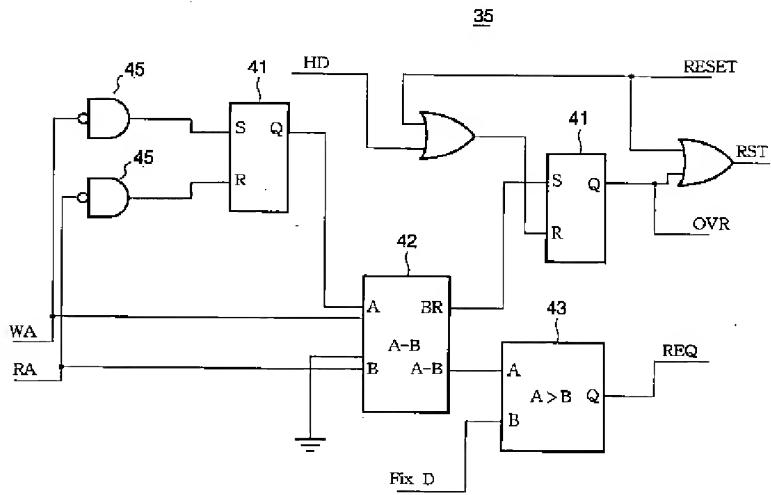
[Drawing 5]



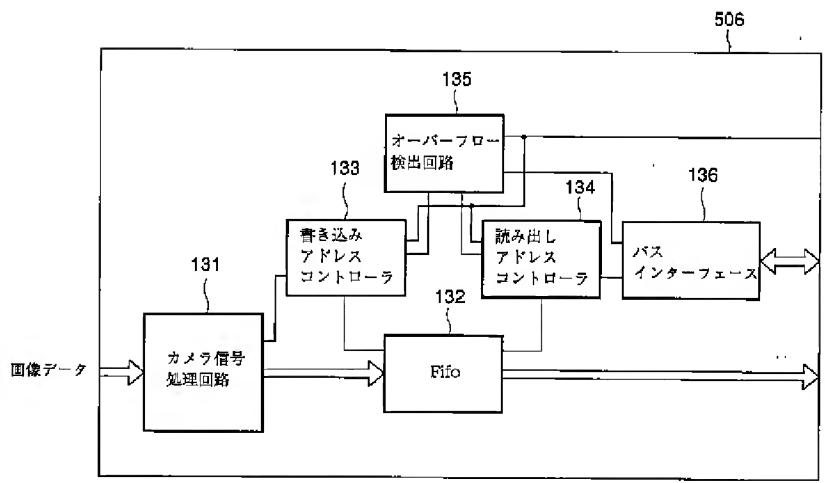
[Drawing 7]



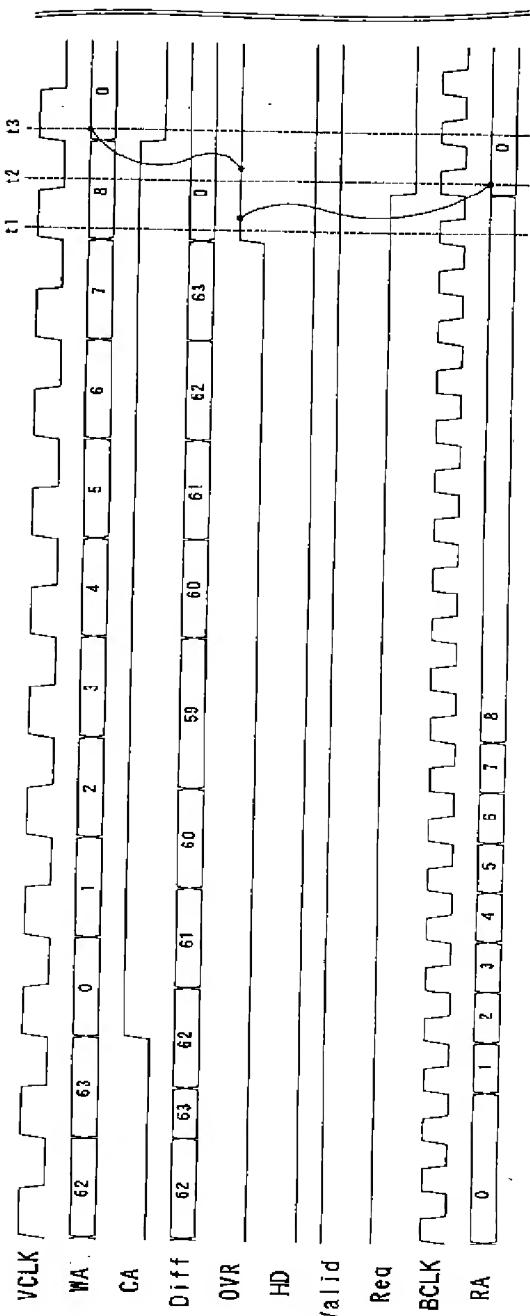
[Drawing 3]



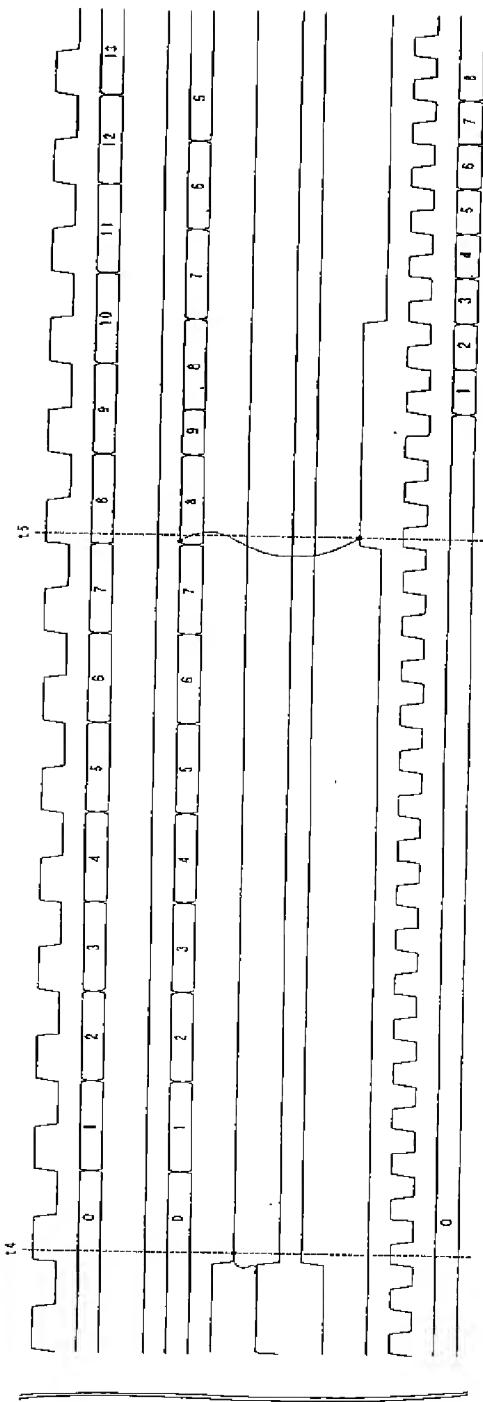
[Drawing 6]



[Drawing 4 A]



[Drawing 4 B]



VCLK
WA
CA
Diff
OVR
HD
Valid
Req
BCLK
RA

[Translation done.]